

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 1 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 2 2 8 0 2
Application Number:

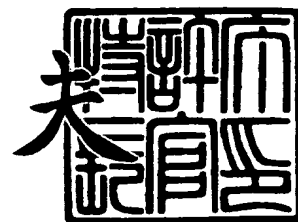
[ST. 10/C] : [J P 2 0 0 3 - 3 2 2 8 0 2]

出 願 人 沖電気工業株式会社
Applicant(s):

2 0 0 4 年 1 月 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 0 9 0 6 9

【書類名】 特許願
【整理番号】 OH003827
【あて先】 特許庁長官殿
【国際特許分類】 G11C 11/41
H01L 27/10
【発明者】
 【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会社内
 【氏名】 森川 剛一
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
【代理人】
 【識別番号】 100085419
 【弁理士】
 【氏名又は名称】 大垣 孝
【手数料の表示】
 【予納台帳番号】 012715
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9001068

【書類名】 特許請求の範囲**【請求項 1】**

複数のメモリセルを含むメモリセル列と、

前記メモリセル列内の前記メモリセルに対する相補データの書き込み／読み出しを行う第 1 ビット線対と、

前記メモリセル列内の前記メモリセルに対する相補データの書き込み／読み出しを行う第 2 ビット線対と、

前記第 1 のビット線対にアクセスされる前記メモリセルを前記メモリセル列から選択するために前記メモリセル毎に設けられた複数の第 1 ワード線と、

前記第 2 のビット線対にアクセスされる前記メモリセルを前記メモリセル列から選択するために前記メモリセル毎に設けられた複数の第 2 ワード線と、

選択された前記メモリセルに前記第 1 ビット線対からデータを書き込むときに、当該第 1 ビット線対のローレベル側をプルアップする第 1 プルアップ回路と、

を備えることを特徴とするマルチポート半導体メモリ。

【請求項 2】

プルアップ後の前記第 1 ビット線対におけるローレベルが前記メモリセルにローレベルとして書き込まれるように、該メモリセルの低電源電位を調整する第 1 調整回路をさらに備えることを特徴とする請求項 1 に記載のマルチポート半導体メモリ。

【請求項 3】

選択された前記メモリセルに前記第 2 ビット線対からデータを書き込むときに、当該第 2 ビット線対のローレベル側をプルアップする第 2 プルアップ回路をさらに備えることを特徴とする請求項 1 または 2 に記載のマルチポート半導体メモリ。

【請求項 4】

プルアップ後の前記第 2 ビット線対におけるローレベルが前記メモリセルにローレベルとして書き込まれるように、該メモリセルの低電源電位を調整する第 2 調整回路をさらに備えることを特徴とする請求項 3 に記載のマルチポート半導体メモリ。

【書類名】明細書**【発明の名称】** マルチポート半導体メモリ**【技術分野】****【0001】**

本発明は、マルチポート半導体メモリ、すなわち複数の入出力ポートを備える半導体メモリに関する。

【背景技術】**【0002】**

マルチポート半導体メモリは、例えば、マイクロプロセッサのレジスタファイルや、グラフィックス用画像メモリ等として、使用されている。マルチポート半導体メモリの複数のポートは、それぞれ独立して、データの書き込み或いは読み出しを行うことができる。すなわち、各入出力ポートのデータ入出力は、並行して行われる。このため、データ入出力の待ち時間が低減されるので、プロセッサ全体としての処理能力が向上する。例えば、2ポート半導体メモリを用いたマイクロプロセッサでは、1サイクルで2個のデータをロードすることができる。

【0003】

マルチポート半導体メモリに関する文献としては、例えば、下記特許文献1、2、3が知られている。

【0004】

一般的な2ポート半導体メモリでは、1個のメモリセルに2組のビット線対が接続される。例えば、特許文献2の図3に記載された2ポート半導体メモリでは、1個のメモリセル11に、ビット線対WBL、WBL/とビット線対RBL、RBL/とが接続されている。

【0005】

このような構成のメモリでは、隣接するビット線どうしのカップリングキャパシタンスが発生する。例えば、特許文献2の図3に記載された2ポート半導体メモリでは、ビット線WBL、RBL間にカップリングキャパシタンスが発生し、さらに、ビット線WBL/、RBL/間にカップリングキャパシタンスが発生する。これらのカップリングキャパシタンスは、カップリングノイズが発生する原因になる。例えば、ビット線WBLがハイレベルのときにビット線RBLがハイレベルからローレベルに変化すると、ビット線WBLの電位が一時的に低下する。カップリングノイズが発生しているときにビット線WBLの電位を読み出すと、読み出しデータの値を誤ることになる。

【0006】

カップリングノイズは、発生から一定時間経過した後に、消滅する。したがって、一方のビット線対の電位が変化してから所定時間経過するまでは他方のビット線対の電位を読み出さないこととすれば、誤読み出しを防止することができる。すなわち、読み出しタイミングを書き込みタイミングからずらすことにより、カップリングノイズの影響を無くすることができる。

【0007】

ここで、カップリングキャパシタンスが小さい場合は、カップリングノイズの発生時間が短いので、読み出し/書き込みを短時間ずらすだけで誤読み出しを防止することができる。一方、カップリングキャパシタンスが大きい場合は、カップリングノイズの発生時間が長くなり、したがって、2ポート半導体メモリの読み出し時間が実質的に長くなってしまふ。今日では、集積回路の微細化に伴ってビット線間の距離は短くなる傾向にあり、さらには、メモリ容量の増大によりビット線長は長くなる傾向になる。これらは、いずれも、カップリングキャパシタンスが増大する要因すなわちカップリングノイズの発生時間が長くなる要因となる。このため、メモリの微細化および大容量化が進むほど、読み出し時間が実質的に長くなってしまふ。

【特許文献1】 特開平7-230692号公報**【特許文献2】** 特開平9-7373号公報

【特許文献3】特開平11-261017号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の課題は、カップリングノイズに起因する誤読み出しが発生し難く且つ実質的な動作速度が速いマルチポート半導体メモリを提供する点にある。

【課題を解決するための手段】

【0009】

本発明に係るマルチポート半導体メモリは、複数のメモリセルを含むメモリセル列と、メモリセル列内のメモリセルに対する相補データの書き込み／読み出しを行う第1ビット線対と、メモリセル列内のメモリセルに対する相補データの書き込み／読み出しを行う第2ビット線対と、第1のビット線対にアクセスされるメモリセルをメモリセル列から選択するためにメモリセル毎に設けられた複数の第1ワード線と、第2のビット線対にアクセスされるメモリセルをメモリセル列から選択するためにメモリセル毎に設けられた複数の第2ワード線と、選択されたメモリセルに第1ビット線対からデータを書き込むときに当該第1ビット線対のローレベル側をプルアップする第1プルアップ回路とを備える。

【発明の効果】

【0010】

本発明のマルチポート半導体メモリは、メモリセルの書き込むデータのローレベルをプルアップすることができる。したがって、ローレベルのビット線とハイレベルのビット線との電位差が小さくなるので、カップリングノイズが抑制される。このようにして、本発明によれば、誤読み出しが発生し難く且つ実質的な動作速度が速いマルチポート半導体メモリを提供することができる。

【発明を実施するための最良の形態】

【0011】

以下、この発明の実施の形態について、図面を用いて説明する。なお、図中、各構成成分の大きさ、形状および配置関係は、この発明が理解できる程度に概略的に示してあるにすぎず、また、以下に説明する数値的条件は単なる例示にすぎない。

【0012】

第1の実施形態

図1は、本発明の第1の実施形態に係るマルチポート半導体メモリの構成を概略的に示す回路図である。

【0013】

図1に示したように、本実施形態のマルチポート半導体メモリ100は、メモリセル110-1～110-n、Aポート用書込ドライバ120A、Bポート用書込ドライバ120B、Aポート用センスアンプ130A、Bポート用センスアンプ130B、Aポート用デコーダ140A、Bポート用デコーダ140B、NANDゲート150-1～150-n、プルアップ用トランジスタ161、162、Aポート用ビット線対BLA、／BLA、Bポート用ビット線対BLB、／BLB、Aポート用ワード線WLA1～WLA nおよびBポート用ワード線WLB1～WLB nを備えている。

【0014】

メモリセル110-1は、pMOSトランジスタ111、112と、nMOSトランジスタ113～119を備えている。

【0015】

MOSトランジスタ111～114は、データを記憶するためのフリップフロップを構成している。pMOSトランジスタ111は、ソースで電源ラインVDDに接続され、ドレインでノードN1に接続され且つゲートでノードN2に接続されている。pMOSトランジスタ112は、ソースで電源ラインVDDに接続され、ドレインでノードN2に接続され且つゲートでノードN1に接続されている。nMOSトランジスタ113は、ソースでnMOSトランジスタ119のドレインに接続され、ドレインでノードN1に接続され

且つゲートでノードN2に接続されている。nMOSトランジスタ114は、ソースでnMOSトランジスタ119のドレインに接続され、ドレインでノードN2に接続され、且つ、ゲートでノードN1に接続されている。

【0016】

nMOSトランジスタ115～118は、フリップフロップとビット線BLA、/BLA、BLB、/BLBとの間のゲートである。nMOSトランジスタ115は、ソースがAポート用ビット線BLAに接続され、ドレインがノードN1に接続され且つゲートがAポート用ワード線WLA1に接続されている。nMOSトランジスタ116は、ソースがAポート用反転ビット線/BLAに接続され、ドレインがノードN2に接続され且つゲートがAポート用ワード線WLA1に接続されている。nMOSトランジスタ117は、ソースがBポート用ビット線BLBに接続され、ドレインがノードN1に接続され且つゲートがBポート用ワード線WLB1に接続されている。nMOSトランジスタ118は、ソースがBポート用反転ビット線/BLBに接続され、ドレインがノードN2に接続され且つゲートがBポート用ワード線WLB1に接続されている。

【0017】

nMOSトランジスタ119は、nMOSトランジスタ117、118とグラウンドラインGNDとの接続/遮断に使用される。nMOSトランジスタ119は、ソースがグラウンドラインGNDに接続され、ドレインがnMOSトランジスタ117、118のソースに接続され且つゲートがNANDゲート150-1の出力端に接続されている。nMOSトランジスタ119は、本発明の第1調整回路に相当する。

【0018】

メモリセル110-2～110-nの構成も、メモリセル110-1と同様であるので、説明を省略する。

【0019】

Aポート用書込ドライバ120Aは、Aポート用書込イネーブル信号WEAと、Aポート用入力データDINAとを、外部から入力する。Aポート用書込ドライバ120Aは、書込イネーブル信号WEAがハイレベルのとき、入力データDINAをビット線BLAに出力し且つ入力データDINAの反転値を反転ビット線/BLAに出力する。同様に、Bポート用書込ドライバ120Bは、Bポート用書込イネーブル信号WEBおよびBポート用入力データDINBを、外部から入力する。そして、Bポート用書込ドライバ120Bは、書込イネーブル信号WEBがハイレベルのとき、入力データDINBをビット線BLBに出力し且つ入力データDINBの反転値を反転ビット線/BLBに出力する。

【0020】

Aポート用センスアンプ130Aは、ビット線対BLA、/BLAの電位を入力して、記憶値を判断する。この判断によって得られた記憶値は、Aポート出力データDOUTAとして、外部に出力される。同様に、Bポート用センスアンプ130Bは、ビット線対BLB、/BLBの電位を入力して、記憶値を判断する。この判断によって得られた記憶値は、Bポート出力データDOUTBとして、外部に出力される。

【0021】

Aポート用デコーダ140Aは、Aポート用のアドレスADRAを外部から入力する。加えて、Aポート用デコーダ140Aは、Aポート用ワード線WLA1～WLA nのうち、入力されたアドレスADRAに対応するワード線をハイレベルにし、他のワード線をローレベルにする。同様に、Bポート用デコーダ140Bは、Bポート用のアドレスADRBを外部から入力する。Bポート用デコーダ140Bは、Bポート用ワード線WLB1～WLB nのうち、入力されたアドレスADRBに対応するワード線をハイレベルにし、他のワード線をローレベルにする。

【0022】

NANDゲート150-1～150-nは、対応するワード線WLA1～WLA nに一方の入力端子が接続され、他方の入力端子から書込イネーブル信号WENAを入力する。上述のように、NANDゲート150-1～150-nの出力端子は、nMOSトランジ

スタ 119 のゲートに接続されている。

【0023】

nMOS トランジスタ 161 は、ソースがビット線 B L A に接続され、ドレインが電源ライン V D D に接続され、且つ、ゲートから書込イネーブル信号 W E N A を入力する。同様に、nMOS トランジスタ 162 は、ソースが反転ビット線 / B L A に接続され、ドレインが電源ライン V D D に接続され、且つ、ゲートから書込イネーブル信号 W E N A を入力する。nMOS トランジスタ 161, 162 は、本発明の第 1 プルアップ回路に相当する。

【0024】

なお、書き込みイネーブル信号 W E A および W E N A は、同じ信号であってもよい。

【0025】

次に、図 1 に示したマルチポート半導体メモリ 100 の動作について、ポート A によるメモリセル 110-1 への書き込みとポート B によるメモリセル 110-n からの読み出しとを同時に行う場合を例に採って説明する。

【0026】

図 2 は、本実施形態に係るマルチポート半導体メモリ 100 の動作を説明するための図である。図 2 において、縦軸は電圧であり、横軸は時間である。

【0027】

まず、A ポート用デコーダ 140 A がアドレス A D R A を入力し、同時に、B ポート用デコーダ 140 B が A D R B を入力する。上述のように、この説明では、アドレス A D R A はメモリセル 110-1 のアドレスであり、アドレス A D R B はメモリセル 110-n のアドレスである。デコーダ 140 A は、アドレス A D R A を入力すると、A ポート用ワード線 W L A 1 をハイレベルに設定する。これにより、メモリセル 110-1 内の nMOS トランジスタ 115, 116 がオンする。デコーダ 140 B は、アドレス A D R B を入力すると、B ポート用ワード線 W L B n をハイレベルに設定する。これにより、メモリセル 110-n 内の nMOS トランジスタ 117, 118 (図示せず) がオンする。

【0028】

次に、外部の回路により、書込イネーブル信号 W E A, W E N A がハイレベルに設定される。

【0029】

上述のように、A ポート用ワード線 W L A 1 はハイレベルである。このため、書込イネーブル W E N A がハイレベルになると、NAND ゲート 150-1 の出力はローレベルになる。このため、メモリセル 110-1 内の nMOS トランジスタ 119 はオフする。したがって、メモリセル 110-1 内の nMOS トランジスタ 113, 114 のソースはグラウンドライン G N D から遮断される。

【0030】

A ポート用書込ドライバ 120 A は、書込イネーブル信号 W E A がハイレベルになると、入力データ D I N A をビット線 B L A に出力し且つ入力データ D I N A の反転値を反転ビット線 / B L A に出力する。図 2 の例では、ビット線 B L A にはローレベルが出力され、反転ビット線 / B L A にはハイレベルが出力される。ここで、書込イネーブル W E N A がハイレベルに設定されることにより、nMOS トランジスタ 161, 162 がオンするので、電源ライン V D D が A ポート用ビット線 B L A, / B L A に印加される。このときのローレベルは、書込ドライバ 120 A に設けられた MOS トランジスタ (図示せず) に電流排出能力と nMOS トランジスタ 161, 162 の電流供給能力との比で決まり、例えば 0.9 ボルトである。一方、ビット線対 B L A, / B L A のハイレベルは、元々 V D D (例えば 3 ボルト) とほぼ一致するので、プルアップされない。このようにして、ビット線 B L A の電位は例えば 0.9 ボルトになり、反転ビット線 / B L A の電位は例えば 3 ボルトになる。

【0031】

メモリセル 110-1 では、ノード N 1 にローレベルが印加され、且つ、ノード N 2 に

ハイレベルが印加される。ノードN1がローレベルになるので、pMOSトランジスタ112がオンし、且つ、nMOSトランジスタ114はオフする。したがって、ノードN2はハイレベルに維持される。また、ノードN2がハイレベルなので、pMOSトランジスタ111はオフし、且つ、nMOSトランジスタ113はオンする。したがって、ノードN1はローレベルに維持される。このようにして、メモリセル110-1にデータが書き込まれる。他のメモリセル110-2~110-nは、nMOSトランジスタ115, 116（図示せず）がオフしているので、データが書き込まれない。本実施形態では、nMOSトランジスタ119がオフしているので、nMOSトランジスタ113, 114のソース電位は上昇する。このため、ゲート・ソース間電圧が小さくなるので、nMOSトランジスタ113, 114のオン抵抗は大きくなる。したがって、ビット線BLAの電位がプルアップされているにも拘わらず、nMOSトランジスタ113, 114は正常に動作する。

【0032】

上述のように、Bポート用ワード線WLB_nがハイレベルになると、メモリセル110-nのnMOSトランジスタ117, 118がオンする。これにより、メモリセル110-nのノードN1, N2の電位が、Bポート用ビット線対BLB, /BLBに出力される。図2の例では、ビット線BLBにはハイレベルが出力され、反転ビット線/BLAにはローレベルが出力されている。ここで、Bポート用ビット線対BLB, /BLBはプルアップされない。また、Aポート用ワード線WLA_nはローレベルなので、メモリセル110-nのnMOSトランジスタ119はオンしている。したがって、Bポート用ビット線対BLB, /BLBでは、ハイレベルは例えば3ボルトであり、ローレベルは例えば0ボルトである。Bポート用センスアンプ130Bは、Bポート用ビット線対BLB, /BLBの電位が安定した後で、このBポート用ビット線対BLB, /BLBの電位を読み込む。Bポート用センスアンプ130Bは、読み込まれた電位に応じた電位を、読み出しデータDOU_TBとして出力される。

【0033】

上述のように、この動作例では、Aポート用ビット線BLAはローレベルであり且つBポート用ビット線BLBはハイレベルである（図2参照）。Bポート用ビット線BLBがハイレベルのときにAポート用ビット線BLAの電位がローレベルに引き下げられると、ビット線BLA, BLB間のカップリング容量に起因して、カップリングノイズが発生する。しかしながら、本実施形態のマルチポート半導体メモリ100は、以下のような理由により、カップリングノイズの発生がセンスアンプ130Bの読み出しタイミングに与える影響が小さい。

【0034】

図3は、比較のためのマルチポート半導体メモリ300の構成を示す回路図である。図3において、図1と同じ符号を付した構成要素は、それぞれ図1と同じものを示している。すなわち、図3の比較例は、プルアップ用nMOSトランジスタ161, 162と、フリップフロップを浮遊させるための回路119, 150-1~150-nとを備えていない点で、本実施形態のマルチポート半導体メモリ100と異なる。

【0035】

比較用のマルチポート半導体メモリ300では、Aポート用ビット線対BLA, /BLは、プルアップされない。このため、Aポート用ビット線対BLB, /BLBのローレベルは、Bポート用ビット線対BLB, /BLBと同じであり、例えば0ボルトである。したがって、Aポート用ビット線BLAはローレベルであり且つBポート用ビット線BLBはハイレベルである場合、ビット線BLA, BLBの電位差は、例えば3ボルトである。このため、Bポート用ビット線BLBがハイレベルのときにAポート用ビット線BLAの電位がローレベルに引き下げられると、ビット線BLBに大きいカップリングノイズが発生する。カップリングノイズが発生すると、ハイレベルとローレベルの電位差が設計値よりも小さくなる。したがって、カップリングノイズが発生しているときにBポート用センスアンプ130Bがビット線対BLB, /BLBの電位を読み込むと、誤読み出しが発生

し易い。このため、カップリングノイズが消滅するまで、Bポート用センスアンプ130Bの読み出しタイミングを遅らせる必要がある。図2において、比較例（すなわちマルチポート半導体メモリ300）の読み出しタイミングは、符号T1で示されている。

【0036】

これに対して、本実施形態のマルチポート半導体メモリ100では、Aポート用ビット線対BLA、 \neg BLAが、プルアップされる。このため、Aポート用ビット線対BLB、 \neg BLBのローレベルは、例えば0.9ボルトである。したがって、Aポート用ビット線BLAはローレベルであり且つBポート用ビット線BLBはハイレベルである場合、ビット線BLA、BLBの電位差は、例えば2.1ボルトとなり、比較例300よりも小さい。このため、Bポート用ビット線BLBがハイレベルのときにAポート用ビット線BLAの電位がローレベルに引き下げられたときのカップリングノイズは、比較例300よりも小さくなる。したがって、カップリングノイズが発生している時間も、比較例300の場合よりも短くなる。このため、Bポート用センスアンプ130Bの読み出しタイミングを、比較例300の場合よりも早くすることができる。図2において、本実施形態に係るマルチポート半導体メモリ300の読み出しタイミングは、符号T0で示されている。本実施形態の半導体メモリ100では、Aポート用ビット線対BLA、 \neg BLAはプルアップするものの、Bポート用ビット線対BLB、 \neg BLBはプルアップしない。このため、Bポート用ビット線対BLB、 \neg BLBにおいて、ローレベルは、比較例300と同様、例えば0ボルトである。したがって、ビット線対BLB、 \neg BLBの電位差は十分に大きいので、センスアンプ130Bの読み取り精度を損なうことはない。

【0037】

以上説明したように、本実施形態によれば、Aポートからの書き込みとBポートへの読み出しとを同時に行う場合に、読み出しデータの信頼性を損なうことなく、マルチポート半導体メモリ100の動作を高速化することができる。

【0038】

第2の実施形態

次に、本発明の第2の実施形態について、図4を用いて説明する。図4において、図1と同じ符号を付した構成要素は、図1と同じものを示している。

【0039】

図4に示したように、本実施形態のマルチポート半導体メモリ400では、メモリセル110-1～110-n内に、nMOSトランジスタ401が設けられている。nMOSトランジスタ401は、ソースがグラウンドラインGNDに接続され、且つ、ドレインがnMOSトランジスタ119のソースに接続されている。nMOSトランジスタ401は、本発明の第2調整回路に相当する。

【0040】

また、マルチポート半導体メモリ400は、NANDゲート410-1～410-nを備えている。は、NANDゲート410-1～410-nは、対応するBポート用ワード線WLB1～WLBnに一方の入力端子が接続され、他方の入力端子から書込イネーブル信号WENBを入力する。NANDゲート410-1～410-nの出力端子は、nMOSトランジスタ401のゲートに接続されている。

【0041】

加えて、マルチポート半導体メモリ400は、Bポート用ビット線対BLB、 \neg BLBをプルアップするためのnMOSトランジスタ421、422を備えている。nMOSトランジスタ421は、ソースがビット線BLBに接続され、ドレインが電源ラインVDDに接続され、且つ、ゲートから書込イネーブル信号WENBを入力する。同様に、プルアップ用nMOSトランジスタ422は、ソースが反転ビット線 \neg BLBに接続され、ドレインが電源ラインVDDに接続され、且つ、ゲートから書込イネーブル信号WENBを入力する。nMOSトランジスタ421、422は、本発明の第2プルアップ回路に相当する。

【0042】

なお、書き込みイネーブル信号WEBおよびWENBは、同じ信号であってもよい。

【0043】

次に、図4に示したマルチポート半導体メモリ400の動作について、ポートBによるメモリセル110-1への書き込みとポートAによるメモリセル110-nからの読み出しとを同時に行う場合を例に採って説明する。

【0044】

まず、Aポート用デコーダ140AがアドレスADRAを入力し、同時に、Bポート用デコーダ140BがADRBを入力する。上述のように、この説明では、アドレスADRAはメモリセル110-nのアドレスであり、アドレスADRBはメモリセル110-1のアドレスである。デコーダ140Aは、アドレスADRAを入力すると、Aポート用ワード線WLA_nをハイレベルに設定する。これにより、メモリセル110-n内のnMOSTランジスタ115, 116（図示せず）がオンする。デコーダ140Bは、アドレスADRBを入力すると、Bポート用ワード線WLB₁をハイレベルに設定する。これにより、メモリセル110-1内のnMOSTランジスタ117, 118がオンする。

【0045】

次に、外部の回路により、書込イネーブル信号WEB, WENBがハイレベルに設定される。

【0046】

上述のように、Bポート用ワード線WLB₁はハイレベルである。このため、書込イネーブルWENBがハイレベルになると、NANDゲート410-1の出力はローレベルになる。このため、メモリセル110-1内のnMOSTランジスタ401はオフする。したがって、メモリセル110-1内のnMOSTランジスタ113, 114のソースはグラウンドラインGNDから遮断される。

【0047】

Bポート用書込ドライバ120Bは、書込イネーブル信号WEBがハイレベルになると、入力データDINBをビット線BLBに出力し且つ入力データDINBの反転値を反転ビット線/BLBに出力する。ここでは、ビット線BLBにはローレベルが出力され、反転ビット線/BLBにはハイレベルが出力されるものとする。第1の実施形態と同様、書込イネーブル信号WENBがハイレベルに設定されることにより、nMOSTランジスタ421, 422がオンする。これにより、Bポート用ビット線対BLB, /BLBがプルアップされ、例えば0.9ボルトになる。

【0048】

メモリセル110-1では、ノードN1にローレベルが印加され、且つ、ノードN2にハイレベルが印加される。そして、第1の実施形態と同様にして、メモリセル110-1のフリップフロップ内にデータが書き込まれる。他のメモリセル110-2~110-nは、nMOSTランジスタ117, 118がオフしているので、データが書き込まれない。本実施形態では、nMOSTランジスタ401がオフしているので、nMOSTランジスタ113, 114のソース電位は上昇する。このため、ゲート・ソース間電圧が小さくなるので、nMOSTランジスタ113, 114のオン抵抗は大きくなる。したがって、ビット線BLBの電位がプルアップされているにも拘わらず、nMOSTランジスタ113, 114は正常に動作する。

【0049】

上述のように、Aポート用ワード線WLA_nもハイレベルになり、したがって、メモリセル110-nのnMOSTランジスタ115, 116がオンする。これにより、メモリセル110-nのノードN1, N2の電位が、Aポート用ビット線対BLA, /BLAに出力される。この説明では、ビット線BLAにはハイレベルが出力され、反転ビット線/BLAにはローレベルが出力されるものとする。この場合、ビット線BLA, BLB間に、カップリングノイズが発生する。しかし、第1の実施形態と同様、ローレベルは例えば0.9ボルトなので、カップリングノイズの発生時間は比較例300（図3参照）よりも短い。Aポート用センスアンプ130Aは、Aポート用ビット線対BLA, /BLAの電

位が安定した後で、このAポート用ビット線対BLA, /BLAの電位を読み込む。Aポート用センスアンプ130Aは、読み込まれた電位に応じた電位を、読み出しデータDOUTAとして出力する。

【0050】

このように、本実施形態では、Bポート用ビット線対BLB, /BLBをプルアップすることができる。したがって、ポートBによるメモリセル110-1への書き込みとポートAによるメモリセル110-nからの読み出しとを同時に行う場合にも、読み出しデータの信頼性を損なうことなく、動作速度を向上させることができる。

【0051】

なお、Aポートからの書き込みとBポートへの読み出しとを同時に行う場合の動作は、第1の実施形態と同様であるので、説明を省略する。

【0052】

このように、本実施形態のマルチポート半導体メモリ400によれば、書き込み/読み出しを行うポートの選択に拘わらず、読み出しデータの信頼性向上と動作の高速化を達成することができる。

【産業上の利用可能性】

【0053】

以上説明した各実施例では、入出力ポートの数を2個としたが、3個以上の入出力ポートを有するマルチポート半導体メモリも本発明に含まれる。

【図面の簡単な説明】

【0054】

【図1】第1の実施形態に係るマルチポート半導体メモリの構成を概略的に示す回路図である。

【図2】第1の実施形態に係るマルチポート半導体メモリの動作を説明するための図である。

【図3】比較用マルチポート半導体メモリの構成を概略的に示す回路図である。

【図4】第2の実施形態に係るマルチポート半導体メモリの構成を概略的に示す回路図である。

【符号の説明】

【0055】

100 マルチポート半導体メモリ

110-1 ~ 110-n メモリセル

120A Aポート用書込ドライバ

120B Bポート用書込ドライバ

130A Aポート用センスアンプ

130B Bポート用センスアンプ

140A Aポート用デコーダ

140B Bポート用デコーダ

150-1 ~ 150-n Aポート用NANDゲート

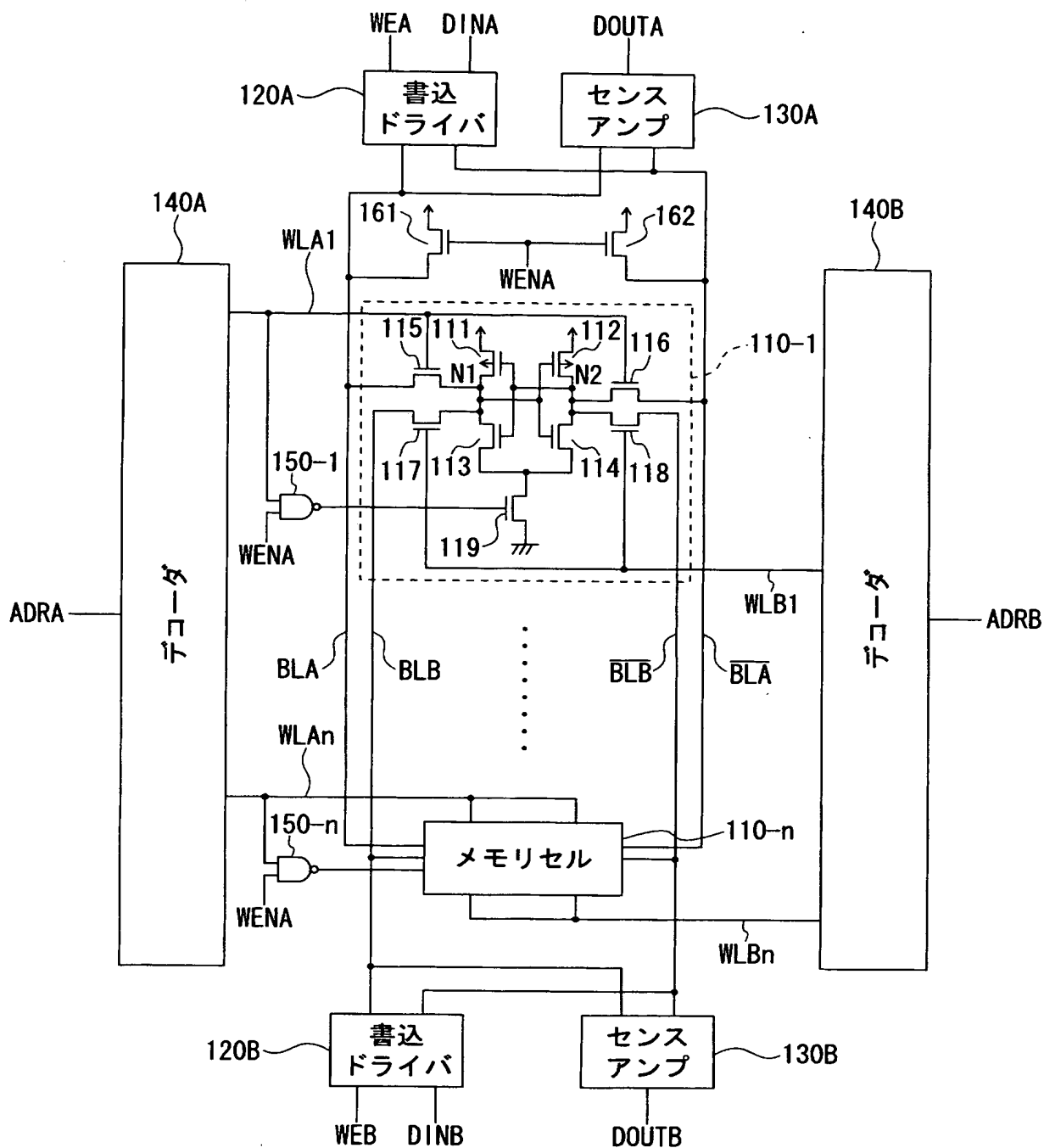
111, 112 pMOSトランジスタ

113 ~ 119, 161, 162, 401, 421, 422 nMOSトランジスタ

410-1 ~ 410-n Bポート用NANDゲート

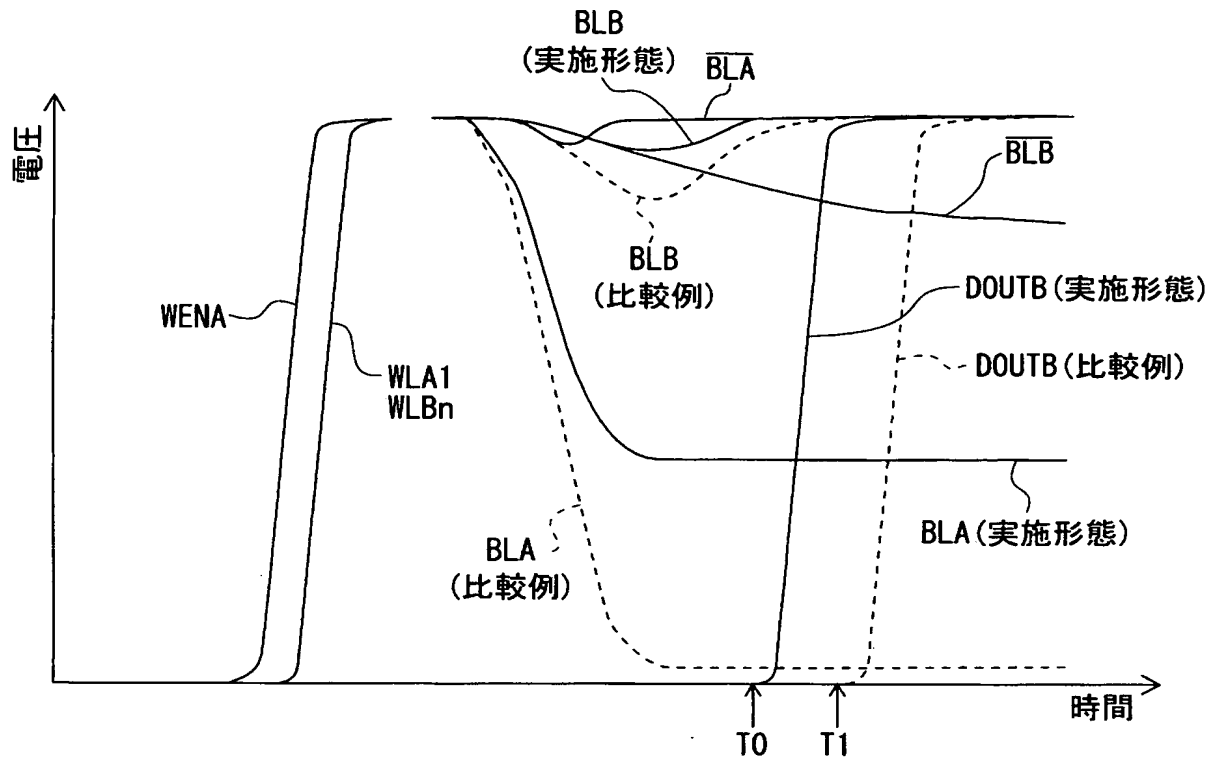
【書類名】 図面
【図 1】

100



第 1 実施形態の構成

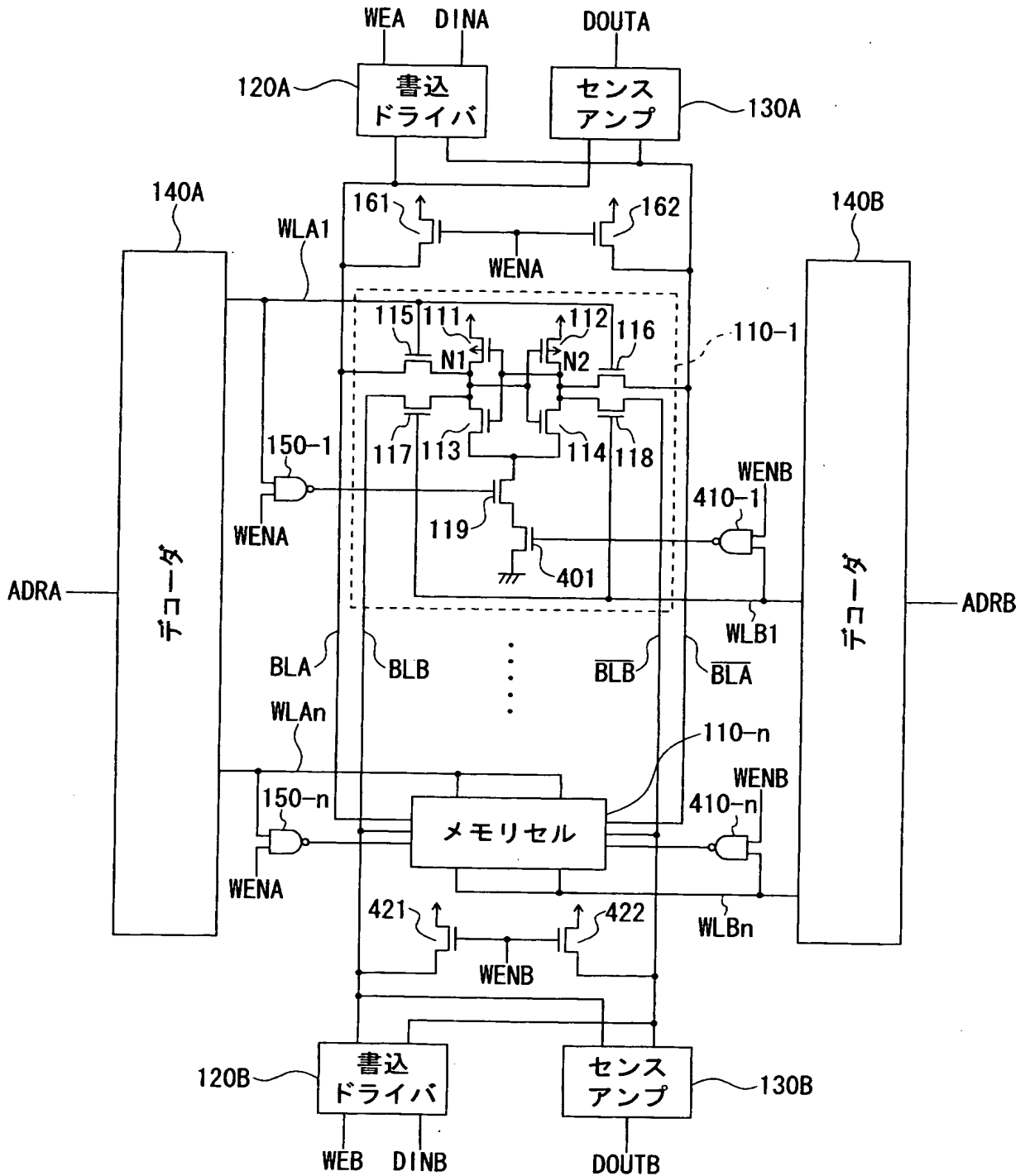
【図 2】



第 1 実施形態の動作

【図 4】

400



第2実施形態の構成

【書類名】要約書**【要約】**

【課題】 カップリングノイズに起因する誤読み出しが発生し難く且つ動作速度が速いマルチポート半導体メモリを提供する。

【解決手段】 Aポート用ビット線対BLA, /BLAからメモリセル110-1~110-nにデータを書き込むとき、nMOSトランジスタ161, 162がオンする。ビット線対BLA, /BLAのうち、ハイレベル側の電位は電源電位VDDとはほぼ一致するので、ローレベル側の電位のみがプルアップされる。したがって、隣接するビット線(BLA, BLBまたは/BLA, /BLB)の一方がハイレベルで他方がローレベルになったときの電位差がこのプルアップによって小さくなり、これによりカップリングノイズの発生時間が短くなる。カップリングノイズが発生しているときはデータ読み出しができないが、本発明では、当該発生時間が短くなるので、実質的な動作速度が速くなる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2003-322802
受付番号	50301526022
書類名	特許願
担当官	第七担当上席 0096
作成日	平成15年 9月17日

<認定情報・付加情報>

【提出日】 平成15年 9月16日

特願 2003-322802

出願人履歴情報

識別番号

[000000295]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社